

(4) Japanese Patent Application Laid-Open No. 2001-210805 (2001)

This application is corresponding to United States Patent Application Publication
No. US 2001/0008783 A1 published on July 19, 2001.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-210805
(P2001-210805A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

テマコード*(参考)

6 2 1 C

6 2 1 B

審査請求 未請求 請求項の数6 O L (全 15 頁)

(21)出願番号 特願2000-392087(P2000-392087)

(22)出願日 平成12年12月25日(2000. 12. 25)

(31)優先権主張番号 1 9 9 9 - 6 1 0 3 9

(32)優先日 平成11年12月23日(1999. 12. 23)

(33)優先権主張国 韓国 (K R)

(71)出願人 399029710

東都電子株式会社

大韓民国ソウル市江南区驛三洞838 韓重
江南ビル11階

(72)発明者 金 載 甲

大韓民国京畿道利川市▲かる▼山洞606

現代アパートメント203 - 206

(74)代理人 100107308

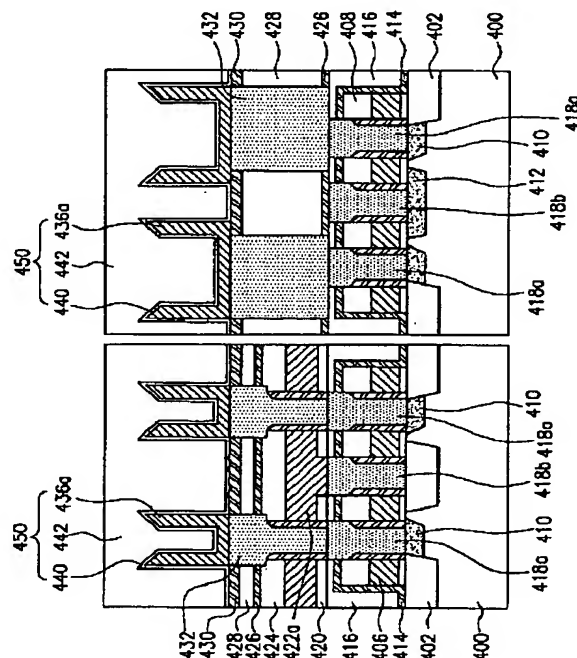
弁理士 北村 修一郎

(54)【発明の名称】 半導体メモリ素子の製造方法

(57)【要約】

【課題】 マスク工程時、マスクの誤整列に起因する工程不良を防止する。

【解決手段】 ゲート電極406とソース及びドレイン領域410、412からなるトランジスタを形成し、両領域上に各々第1のコンタクトプラグ418aと第2のコンタクトプラグ418bが形成された半導体基板400を供し、第2のコンタクトプラグと導通するビットライン422aを形成し、かつ、第1のコンタクトプラグを露出させるコンタクトホールを形成し、その内壁及びビットライン上にエッチング防止膜を形成したのち層間絶縁膜を平坦化し、層間絶縁膜と第1のコンタクトプラグ上のエッチング防止膜をエッチングして蓄積電極コンタクトを形成した中に第1のコンタクトプラグと導通する第3のコンタクトプラグ432を形成し、その上に第3のコンタクトプラグと導通する、蓄積電極436aと誘電体膜440とプレート電極442とからなるキャパシタ450を形成する。



【特許請求の範囲】

【請求項1】 ゲート電極とソース及びドレイン領域からなるトランジスタが形成され、前記ソース及びドレイン領域上には第1のコンタクトブラグと第2のコンタクトブラグとが各々形成された半導体基板を供するステップ、

前記基板結果物上に、前記ドレイン領域上の第2のコンタクトブラグと電氣的に連結されるビットラインを形成し、かつ、前記ソース領域上の第1のコンタクトブラグを露出させるコンタクトホールを形成するステップ、
前記コンタクトホールの内壁及びビットライン上にエッチング防止膜を均一な厚さで形成するステップ、
前記エッチング防止膜上に層間絶縁膜を平坦に形成するステップ、

前記層間絶縁膜と第1のコンタクトブラグ上のエッチング防止膜の部分をエッチングして蓄積電極コンタクトを形成するステップ、

前記蓄積電極コンタクト内に前記第1のコンタクトブラグと電氣的に連結される第3のコンタクトブラグを形成するステップ及び、

前記第3のコンタクトブラグ上に前記第3のコンタクトブラグと電氣的に連結される蓄積電極と、前記蓄積電極を囲む誘電体膜及びプレート電極の積層構造からなるキャパシタを形成するステップ、

を含むことを特徴とする半導体メモリ素子の製造方法。

【請求項2】 前記第3のコンタクトブラグを形成するステップは、

前記蓄積電極コンタクトを完全に埋め込むように前記層間絶縁膜上に導電膜を形成するステップ、及び前記導電膜の表面をエッチバックするステップを含むことを特徴とする請求項1記載の半導体メモリ素子の製造方法。

【請求項3】 前記蓄積電極は、前記第3のコンタクトブラグ、ビットライン及びゲート電極と自己一整列的に形成されることを特徴とする請求項1記載の半導体メモリ素子の製造方法。

【請求項4】 前記蓄積電極はシリンダー、または、スタック形からなることを特徴とする請求項1記載の半導体メモリ素子の製造方法。

【請求項5】 半導体基板上にゲート電極を形成するステップ、

前記ゲート電極の両側の基板領域内にソース及びドレイン領域を形成するステップ、

前記基板結果物上に均一な厚さで第1のエッチング防止膜を形成するステップ、

前記第1のエッチング防止膜上に平坦に第1の層間絶縁膜を形成するステップ、

前記第1の層間絶縁膜及び第1のエッチング防止膜をエッチングすることにより、前記ソース及びドレイン領域を露出させる第1のコンタクトホールを形成するステップ、

前記第1のコンタクトホール内に導電膜を埋め込むことにより、ソース領域上に第1のコンタクトブラグを、ドレイン領域上に第2のコンタクトブラグを形成するステップ、

前記第1及び第2のコンタクトブラグと第1の層間絶縁膜上に前記第2のコンタクトブラグを露出させる第2の層間絶縁膜を形成するステップ、

前記露出された第2のコンタクトブラグ及び第2の層間絶縁膜上に、ビットライン用導電膜と第2のハードマスクを順次形成するステップ、

前記第2のハードマスク膜とビットライン用導電膜とをバタニングすることにより、前記第2のコンタクトブラグと接触するビットラインと前記第1のコンタクトブラグを露出させる第2のコンタクトホールを形成するステップ、

前記コンタクトホールの内壁及び第2のハードディスク膜上に第2のエッチング防止膜を形成するステップ、

前記第2のコンタクトホールが完全に埋め込まれるように、前記第2のエッチバック防止膜上に平坦に第3の層間絶縁膜を形成するステップ、

前記第3の層間絶縁膜上に前記第1のコンタクトブラグの上部の第3の層間絶縁膜領域を露出させる第3のエッチング防止膜を形成するステップ、

前記露出された第3の層間絶縁膜領域と第1のコンタクトブラグ上の第2のエッチング防止膜部分をエッチングすることにより、第1のコンタクトブラグを露出させる第3のコンタクトホールを形成するステップ、

前記第3のコンタクトホール内に導電膜を埋め込んで、第1のコンタクトブラグと電氣的に連結される第3のコンタクトブラグを形成するステップ、

前記第3のエッチング防止膜及び第3のコンタクトブラグ上に犠牲酸化膜を形成するステップ、

前記犠牲酸化膜の所定部分をエッチングし、前記第3のコンタクトブラグを露出させる第4のコンタクトホールを形成するステップ及び、

前記ステップまでの基板結果物上に第3のコンタクトブラグと電氣的に連結され、蓄積電極と誘電体膜及びプレート電極の積層構造からなるキャパシタを形成するステップ、

を含むことを特徴とする半導体メモリ素子の製造方法。

【請求項6】 半導体基板上にゲート電極を形成するステップ、

前記ゲート電極の両側の基板領域内にソース及びドレイン領域を形成するステップ、

前記基板結果物上に均一な厚さで第1のエッチング防止膜を形成するステップ、

前記第1のエッチング防止膜上に平坦に第1の層間絶縁膜を形成するステップ、

前記第1の層間絶縁膜及び第1のエッチング防止膜をエッチングすることにより、前記ソース及びドレイン領域

を露出させる第1のコンタクトホールを形成するステップ、

前記第1のコンタクトホール内に導電膜を埋め込むことにより、ソース領域上に第1のコンタクトプラグを、ドレイン領域上に第2のコンタクトプラグを形成するステップ、

前記第1及び第2のコンタクトプラグと第1の層間絶縁膜上に前記第2のコンタクトプラグを露出させる第2の層間絶縁膜を形成するステップ、

前記露出された第2のコンタクトプラグ及び第2の層間絶縁膜上にビットライン用導電膜と第2のハードマスクを順次形成するステップ、

前記第2のハードマスク膜とビットライン用導電膜をパターンニングすることにより、前記第2のコンタクトプラグと接触するビットラインと前記第1のコンタクトプラグを露出させる第2のコンタクトホールを形成するステップ、

前記コンタクトホールの内壁及び第2のハードディスク膜上に第2のエッチング防止膜を形成するステップ、

前記第2のコンタクトホールが完全に埋め込まれるように、前記エッチバック防止膜上に平坦に第3の層間絶縁膜を形成するステップ、

前記第3の層間絶縁膜上に前記第1のコンタクトプラグの上部の第3の層間絶縁膜領域を露出させる第3のエッチング防止膜を形成するステップ、

前記第3のエッチング防止膜上に犠牲酸化膜を形成するステップ、

前記犠牲酸化膜と第3の層間絶縁膜及び第1のコンタクトプラグ上の第2のエッチング防止膜部分をエッチングすることにより、蓄積電極コンタクトを形成するステップ、

前記蓄積電極コンタクトの内壁及び犠牲酸化膜上に蓄積電極用導電膜を形成することにより、前記蓄積電極コンタクトの底面部に前記第1のコンタクトプラグと電氣的に連結される第3のコンタクトプラグを形成するステップ、

前記犠牲酸化膜上の蓄積電極用導電膜部分と前記犠牲酸化膜を除去して蓄積電極を形成するステップ、及び、キャパシタが形成されるように、蓄積電極上に誘電体膜及びプレート電極を順次形成するステップ、

を含むことを特徴とする半導体メモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリ素子の製造方法に関し、より詳細には、蓄積電極コンタクトがコンタクトプラグと自己一整合的に形成するようにした半導体メモリ素子の製造方法に関する。

【0002】

【従来の技術】DRAM及びSRAMと半導体メモリ素子の高集積化は、必然にセル面積の低減が伴うので、キ

ャパシタが占める基板上における占有幅も低減されなければならない。前記キャパシタの占有幅の低減は、高容量メモリ素子の製造に主な技術的事項であり、その際、前記キャパシタの占有幅の低減は、安定したキャパシタンスの確保を十分考えなければならない。

【0003】前記キャパシタのキャパシタンスは、周知のように、電極の表面積及び誘電体の誘電率に比例し、電極同士間の間隔、即ち、誘電体の厚さに反比例をなす。ここで、前記誘電体の厚さを低減する方法は、漏出電流発生等のため、限りがあるので、安定したキャパシタンスの確保は電極表面積を増加させる方法により達成している。シリンドー、ピン及びスタック形等の3次元構造の蓄積電極は電極表面積の増大を通じてキャパシタの安定したキャパシタンスを確保した例である。

【0004】図1は、半導体メモリ素子のメモリセルの製造に使用される主なマスク等の平面図であり、ここで、図面符号102はアクティブマスク、104はゲート電極マスク、106はコンタクトプラグマスク、108はビットラインコンタクトマスク、110はビットラインマスク及び112は蓄積電極コンタクトマスクを各々示す。

【0005】以下、前記のような主なマスク等を用いた従来技術にかかる半導体メモリ素子の製造方法が図2ないし図5を参照しながら説明する。図2ないし図5において、左側図面は、図1のa-a'線に沿う断面図で、右側図面は、図1のb-b'線に沿う断面図である。

【0006】図2を参照すると、半導体基板200の所定部分に素子分離膜202が形成される。ゲート絶縁膜204、ゲート電極用導電膜及び第1のハードディスク膜208が前記半導体基板200上に順次形成され、その後、図1に示すゲート電極マスク104を用いたエッチング工程を通じて、第1のハードディスク膜208とゲート電極用導電膜がパターンニングされ、その結果、ゲート電極206が形成される。ソース/ドレイン領域210、212が不純物イオン注入工程を通じて露出された半導体基板200部分内に形成される。第1のエッチング防止膜214が前記ステップまでの基板結果物上に形成され、第1の層間絶縁膜216が前記第1のエッチング防止膜214上に平坦に形成される。

【0007】第1の層間絶縁膜216がエッチングバリアとして、図1に示すコンタクトプラグマスク106と第1のエッチング防止膜214を用いてエッチングされ、その後、前記第1のエッチング防止膜214の一部が除去されることにより、キャパシタと連結されるソース領域210とビットラインと連結されるドレイン領域212を露出させるコンタクトホールが形成される。前記コンタクトホールが導電膜により埋め込まれ、その後、前記導電膜が前記第1の層間絶縁膜216が露出させるようにエッチバックされることにより、第1及び第2のコンタクトプラグ218a、218bが形成され

る。

【0008】図3を参照すると、前記第1及び第2のコンタクトプラグ218a、218bが形成された半導体基板200の全面の上部に第2の層間絶縁膜220が形成され、その後、前記第2の層間絶縁膜220は図1に示すビットラインコンタクトマスク108を用いたエッチング工程を通じてドレーン領域上に形成された第2のコンタクトプラグ218bが露出されるようにエッチングされる。ビットライン用導電膜222が露出された第2のコンタクトプラグ218bと接触されるように第2の層間絶縁膜220上に形成され、第2のハードマスク膜224が前記ビットライン用導電膜222上に形成される。

【0009】図4を参照すると、第2のハードディスク膜224、ビットライン用導電膜222及び第2の層間絶縁膜220がエッチングバリアとして図1に示すビットラインマスクを用いたエッチング工程を通じて順次エッチングされ、これによって、ビットライン222aが形成され、かつ、ソース領域210上の第1のコンタクトプラグ218aを露出させるコンタクトホールが形成される。第2のエッチング防止膜226が前記ステップまでの結果物上に形成され、第3の層間絶縁膜228が前記第2のエッチング防止膜226上に平坦に形成され、第3のエッチング防止膜230が前記第3の層間絶縁膜228上に形成される。

【0010】図5を参照すると、犠牲酸化膜234が前記第3のエッチング防止膜230上に形成される。犠牲酸化膜234、第3のエッチング防止膜230、第3の層間絶縁膜228及び第2のエッチング防止膜226が図1に示す蓄積電極コンタクトマスク112を用いたエッチング工程を通じてエッチングされ、これによって、ソース領域210の上部の第1のコンタクトプラグ218aを露出させる蓄積電極コンタクトが形成される。蓄積電極用導電膜236が前記蓄積電極コンタクトの一部を埋め込む形態で形成される。その後、公知の後続工程の遂行により、蓄積電極、誘電体膜及びプレート電極の積層構造のキャパシタを備えたメモリセルが完成される。

【0011】

【発明が解決しようとする課題】しかし、前記のような従来の半導体メモリ素子の製造方法において、蓄積電極コンタクトはゲート電極とビットラインに対しては、自己一整列的に形成されるが、ソース領域上に形成された第2のコンタクトプラグに対しては、自己一整列的に形成されない。

【0012】これによって、蓄積電極コンタクトを形成するために、図1に示す蓄積電極コンタクトマスクを用いたエッチング工程の際、マスクの誤整列による工程不良が生じることがあり、また、蓄積電極とコンタクトプラグとの間の完全な接触が成らないことにより、キャパ

シタのキャパシタンスの低減が引き起こすことがある。従って、本発明は、蓄積電極コンタクトがコンタクトプラグと自己一整列的に形成されるようにした、半導体メモリ素子の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】前記目的の達成のための本発明にかかる半導体メモリ素子の製造方法は、ゲート電極とソース及びドレーン領域からなるトランジスタが形成され、前記ソース及びドレーン領域上には第1のコンタクトプラグと第2のコンタクトプラグとが各々形成された半導体基板を供するステップ、前記基板結果物上に前記ドレーン領域上の第2のコンタクトプラグと電気的に連結されるビットラインを形成し、かつ、前記ソース領域上の第1のコンタクトプラグを露出させるコンタクトホールを形成するステップ、前記コンタクトホールの内壁及びビットライン上にエッチング防止膜を均一な厚さで形成するステップ、前記エッチング防止膜上に層間絶縁膜を平坦に形成するステップ、前記層間絶縁膜と第1のコンタクトプラグ上のエッチング防止膜の部分をエッチングして蓄積電極コンタクトを形成するステップ、前記蓄積電極コンタクト内に前記第1のコンタクトプラグと電気的に連結される第3のコンタクトプラグを形成するステップ及び、前記第3のコンタクトプラグ上に前記第3のコンタクトプラグと電気的に連結される蓄積電極と、前記蓄積電極を囲む誘電体膜及びプレート電極の積層構造からなるキャパシタを形成するステップを含む。

【0014】また、本発明による半導体メモリ素子の製造方法は、半導体基板上にゲート電極を形成するステップ、前記ゲート電極の両側の基板領域内にソース及びドレーン領域を形成するステップ、前記基板結果物上に均一な厚さで第1のエッチング防止膜を形成するステップ、前記第1のエッチング防止膜上に平坦に第1の層間絶縁膜を形成するステップ、前記第1の層間絶縁膜及び第1のエッチング防止膜をエッチングすることにより、前記ソース及びドレーン領域を露出させる第1のコンタクトホールを形成するステップ、前記第1のコンタクトホール内に導電膜を埋め込ませることにより、ソース領域上に第1のコンタクトプラグを、ドレーン領域上に第2のコンタクトプラグを形成するステップ、前記第1及び第2のコンタクトプラグと第1の層間絶縁膜上に前記第2のコンタクトプラグを露出させる第2の層間絶縁膜を形成するステップ、前記露出された第2のコンタクトプラグ及び第2の層間絶縁膜上に、ビットライン用導電膜と第2のハードマスクを順次形成するステップ、前記第2のハードマスク膜とビットライン用導電膜をバタニングすることにより、前記第2のコンタクトプラグと接触するビットラインと前記第1のコンタクトプラグを露出させる第2のコンタクトホールを形成するステップ、前記コンタクトホールの内壁及び第2のハードディ

スク膜上に第2のエッチング防止膜を形成するステップ、前記第2のコンタクトホールが全く埋め込まれるように、前記第2のエッチバック防止膜上に平坦に第3の層間絶縁膜を形成するステップ、前記第3の層間絶縁膜上に前記第1のコンタクトブラグの上部の第3の層間絶縁膜領域を露出させる第3のエッチング防止膜を形成するステップ、前記露出された第3の層間絶縁膜領域と第1のコンタクトブラグ上の第2のエッチング防止膜部分をエッチングすることにより、第1のコンタクトブラグを露出させる第3のコンタクトホールを形成するステップ、前記第3のコンタクトホール内に導電膜を埋め込みさせて、第1のコンタクトブラグと電氣的に連結される第3のコンタクトブラグを形成するステップ、前記第3のエッチング防止膜及び第3のコンタクトブラグ上に犠牲酸化膜を形成するステップ、前記犠牲酸化膜の所定部分をエッチングし、前記第3のコンタクトブラグを露出させる第4のコンタクトホールを形成するステップ及び、前記ステップまでの基板結果物上に第3のコンタクトブラグと電氣的に連結され、蓄積電極と誘電体膜及びプレート電極の積層構造からなるキャパシタを形成するステップを含む。

【0015】尚、本発明による半導体メモリ素子の製造方法は、半導体基板上にゲート電極を形成するステップ、前記ゲート電極の両側の基板領域内にソース及びドレイン領域を形成するステップ、前記基板結果物上に均一な厚さで第1のエッチング防止膜を形成するステップ、前記第1のエッチング防止膜上に平坦に第1の層間絶縁膜を形成するステップ、前記第1の層間絶縁膜及び第1のエッチング防止膜をエッチングすることにより、前記ソース及びドレイン領域を露出させる第1のコンタクトホールを形成するステップ、前記第1のコンタクトホール内に導電膜を埋め込ませることにより、ソース領域上に第1のコンタクトブラグを、ドレイン領域上に第2のコンタクトブラグを形成するステップ、前記第1及び第2のコンタクトブラグと第1の層間絶縁膜上に前記第2のコンタクトブラグを露出させる第2の層間絶縁膜を形成するステップ、前記露出された第2のコンタクトブラグ及び第2の層間絶縁膜上にビットライン用導電膜と第2のハードマスクを順次形成するステップ、前記第2のハードマスク膜とビットライン用導電膜をバターン

10

20

30

40

50

ブ、前記第3のエッチング防止膜上に犠牲酸化膜を形成するステップ、前記犠牲酸化膜と第3の層間絶縁膜及び第1のコンタクトブラグ上の第2のエッチング防止膜部分をエッチングすることにより、蓄積電極コンタクトを形成するステップ、前記蓄積電極コンタクトの内壁及び犠牲酸化膜上に蓄積電極用導電膜を形成することにより、前記蓄積電極コンタクトの底面部に前記第1のコンタクトブラグと電氣的に連結される第3のコンタクトブラグを形成するステップ、前記犠牲酸化膜上の蓄積電極用導電膜部分と前記犠牲酸化膜を除去して蓄積電極を形成するステップ及び、キャパシタが形成されるように、蓄積電極上に誘電体膜及びプレート電極を順次形成するステップを含む。

【0016】

【発明の実施の形態】図6は、本発明にかかる半導体メモリ素子のメモリセルの製造に使用される主なマスク等の平面図である。ここで、図1と同じ部分は、同一な図面符号により示す。

【0017】図6において、アクティブマスク102、ゲート電極マスク104、コンタクトブラグマスク106、ビットラインコンタクトマスク108及びビットラインマスク110は、図1に示すそれと同一であるが、蓄積電極コンタクトマスク112aはゲート電極及びビットラインのみならず、ソース領域上に形成されたコンタクトブラグとも自己一整合される構造を有する。

【0018】以下、図6に示すようなマスク等を用いた本発明にかかる半導体メモリ素子の製造方法を添付の図面を参照して説明する。

【0019】（実施の形態1）図7ないし図13は、本発明の実施の形態1にかかる半導体メモリ素子の製造方法を説明するための断面図であって、ここで、左側図面等は、図6のa-a'線に沿う断面図、右側図面は、図6のb-b'線に沿う断面図である。

【0020】図7を参照すると、半導体基板400の所定部分に素子分離膜402が形成され、ゲート絶縁膜404、ゲート電極用導電膜、第1のハードディスク膜408が前記半導体基板上に順次形成される。前記第1のハードディスク膜408は、酸化膜、または、窒化膜が用いられる。ゲート電極406が図6に示すゲート電極マスク104を用いたエッチング工程を通じて前記第1のハードディスク膜408とゲート電極用導電膜及びゲート絶縁膜404をバターンすることにより形成される。ソース/ドレイン領域410、412が不純物イオン注入工程を通じて前記ゲート電極406の両側の半導体基板400部分内に形成され、その結果、トランジスタが構成される。

【0021】第1のエッチング防止膜414が前記ステップまでの基板結果物上に形成される。前記第1のエッチング防止膜414は酸化膜、または、窒化膜であり、望ましくは、窒化膜である。第1の層間絶縁膜416が

前記結果物を完全に覆えることができる程度の厚さで前記第1のエッチング防止膜414上に蒸着され、その後、前記第1の層間絶縁膜416の表面は、例えばCMP (Chemical Mechanical Polishing) 工程を通じて平坦化される。前記第1の層間絶縁膜416がエッチングバリアとして図6に示すコンタクトプラグマスク106と第1のエッチング防止膜414を用いることによりエッチングされ、その後、キャパシタと連結されるソース領域410とビットラインと連結されるドレーン領域412を露出させるコンタクトホールが、前記ソース及びドレーン領域410、412上に形成された第1のエッチング防止膜部分がエッチングされることにより得られる。所定の導電膜が前記コンタクトホールを埋め込むように形成され、その後、前記導電膜が前記第1の層間絶縁膜416を露出させるようにエッチバックされることにより、第1及び第2のコンタクトプラグ418a、418bが形成される。

【0022】図8を参照すると、第2の層間絶縁膜420が第1の層間絶縁膜416と第1及び第2のコンタクトプラグ418a、418b上に形成され、その後、前記第2の層間絶縁膜420は、図6に示すビットラインコンタクトマスク108を用いたエッチング工程を通じてドレーン領域412上に形成された第2のコンタクトプラグ418bを露出させるようにエッチングされる。ビットライン用導電膜422が露出された前記第2のコンタクトプラグ418bと接触するように前記第2の層間絶縁膜420上に形成され、第2のハードマスク膜424が前記ビットライン用導電膜422上に形成される。

【0023】図9を参照すると、第2のハードマスク膜424、ビットライン用導電膜422及び第2の層間絶縁膜420が図6に示すビットラインマスク110を用いたエッチング工程を通じてエッチングされ、これによって、ビットライン422aが形成されると共に、ソース領域410上に形成された第1のコンタクトプラグ418aが露出される。その際、前記第2の層間絶縁膜420は完全にエッチングされず、第1のコンタクトプラグ418a上に一定の厚さが残されるようにすることもできる。第2のエッチング防止膜426が前記ステップまでの結果物上に全体的に形成される。前記第2のエッチング防止膜426は、酸化膜、または、窒化膜であり、望ましくは窒化膜である。第3の層間絶縁膜428が前記第2のエッチング防止膜426上に平坦に形成される。前記第3の層間絶縁膜428は、前記第1の層間絶縁膜416と同じ方法により形成されることが望ましい。

【0024】図10を参照すると、第3のエッチング防止膜430が前記平坦化された第3の層間絶縁膜428上に形成される。前記第3のエッチング防止膜430がエッチングバリアとして図6に示す蓄積電極コンタクト

マスク112aを用いたエッチング工程を通じてエッチングされ、その後、前記第3の層間絶縁膜428がエッチングバリアとして前記蓄積電極コンタクトマスク112aと第2のエッチング防止膜426を用いたエッチング工程を通じてエッチングされ、その後、第1のコンタクトプラグ418a上の第2のエッチング防止膜426部分がエッチングされ、これによって、ソース領域410上に形成された第1のコンタクトプラグ418aを露出させるコンタクトホールが形成される。所定の導電膜が前記第1のコンタクトプラグ418aを露出させるように形成されたコンタクトホールを完全に埋め込ませるように、前記第3のエッチング防止膜430上に蒸着され、その後、前記導電膜は、前記第3のエッチング防止膜430を露出させるようにエッチバックされ、その結果、ソース領域410上に形成された第1のコンタクトプラグ418aと接触する第3のコンタクトプラグ432が形成される。

【0025】一方、図14に示すように、前記第3のコンタクトプラグ432は、前記第3のエッチング防止膜430の形成前に形成可能であり、前記第3のエッチング防止膜430は、第3のコンタクトプラグ432及び第3の層間絶縁膜428上に形成される。このように前記第3のコンタクトプラグ432と第3のエッチング防止膜430とは、その形成手順が変えることができ、その場合にも同じ結果が得られる。

【0026】図11を参照すると、第1の犠牲酸化膜434が前記第3のエッチング防止膜430及び第3のコンタクトプラグ432上の厚く形成され、その後、第1の犠牲酸化膜434が図6に示す蓄積電極コンタクトマスク112aを用いたエッチング工程を通じて、前記第3のコンタクトプラグ432を露出させる蓄積電極コンタクトが形成されるようにエッチングされる。蓄積電極用導電膜436が前記第1の犠牲膜434及び前記蓄積電極コンタクトの内壁上に蒸着される。第2の犠牲酸化膜438が前記蓄積電極用導電膜436上に平坦に形成される。

【0027】図12を参照すると、第2の犠牲酸化膜438が前記第1の犠牲酸化膜434上に形成された蓄積電極用導電膜部分を露出させるようにエッチバックされ、その後、露出された蓄積電極用導電膜部分はエッチング/除去される。次に、エッチングバリアとして、蓄積電極用導電膜と第3のエッチング防止膜430を用いたエッチング工程を通じて、前記第1及び第2の犠牲酸化膜が除去され、これによって、シリンダー状の蓄積電極436aが形成される。

【0028】一方、前記蓄積電極436aは、第2の犠牲酸化膜438の形成なしに形成可能である。その場合、図15に示すように、エッチバック工程を通じて第1の犠牲酸化膜434上に形成された蓄積電極用導電膜部分がエッチングされ、かつ、第3のコンタクトプラグ

10

20

30

40

50

432上に形成された蓄積電極用導電膜部分もエッチングされる。

【0029】図13を参照すると、前記ステップまでの結果物上に誘電体膜440が均一な厚さで形成され、その後、前記誘電体膜440上にプレート電極442が形成され、これによって、積層構造のキャパシタ450を有する半導体メモリ素子のメモリセルが完成される。

【0030】蓄積電極用導電膜及びプレート電極用導電膜としてドーピングされたポリシリコン膜が用いられるのが望ましく、WN膜、または、TiN膜等が用いられることができる。また、誘電体膜として、強誘電体が使用される場合、蓄積電極用導電膜及びプレート電極用導電膜としてPt (Platinum) が用いられることができる。尚、蓄積電極436aは、電極表面積の拡大のために、半球状の表面を有するHSG (Hemi Spherical Grain) 構造で形成することもできる。

【0031】一方、前記キャパシタ450は、シリンダー状でない、スタック形にも形成可能である。その場合、図16に示すように、蓄積電極436aはスタック形に形成され、誘電体膜440とプレート電極442とは、前記蓄積電極436aを囲む形状に形成される。

【0032】前記スタック形キャパシタを形成するための製造工程は、次の通りである。まず、蓄積電極用導電膜が蓄積電極コンタクトを埋め込ませるように、前記第1の犠牲酸化膜上に十分な厚さで蒸着され、その後、前記蓄積電極用導電膜は、前記第1の犠牲酸化膜が露出されるようにエッチバックされる。前記第1の犠牲酸化膜が除去され、これによって、スタック形の蓄積電極が形成される。その後、誘電体膜とプレート電極が前記蓄積電極上に順次形成され、その結果、スタック形のキャパシタが完成される。

【0033】前述のように、本発明での蓄積電極コンタクトは、第1のコンタクトブラグ418上に第3のコンタクトブラグ432が形成されたことに起因して、ゲート電極406及びビットライン422aと自己一整列的に形成され、かつ、前記第1及び第3のコンタクトブラグ418a、432を含んだソース領域410とも自己一整列的に形成される。従って、マスク誤整列に起因する工程不良の発生が防止され、そして、単位セル内での蓄積電極の面積を最大化させることができることに起因して、キャパシタのキャパシタンスを増加させることができるようになる。

【0034】(実施の形態2) 図17ないし図19は、本発明の実施の形態2にかかる半導体メモリ素子の製造方法を説明するための断面図である。本実施の形態は以前の実施例に比べて、第2のエッチング防止膜形成ステップまでは同一である。従って、本実施の形態にかかる半導体メモリ素子の製造方法は、前記第2のエッチング防止膜形成ステップ以降から説明する。また、図面符号は図7ないし図13と同一で、かつ、初めの数字は

“6”番台に記載される。

【0035】図17を参照すると、ビットライン622aが形成され、そして、ソース領域610上の第1のコンタクトブラグ618aを露出させるコンタクトホールが形成された半導体基板600が設けられる。第2のエッチング防止膜626が前記コンタクトホールの内壁と第2のハードマスク膜624上に形成される。前記コンタクトホールが埋め込まれるように、第3の層間絶縁膜628が前記第2のエッチング防止膜626上に平坦に形成される。前記第3のエッチング防止膜630が前記第3の層間絶縁膜628上に形成され、その後、第3のエッチング防止膜630は、エッチング工程を通じて第1のコンタクトブラグ618aの上部に形成された部分が除去される。第1の犠牲酸化膜634が残留された第3のエッチング防止膜630と露出させた第3の層間絶縁膜628上に厚く形成される。

【0036】図18を参照すると、前記第1の犠牲酸化膜634と第3の層間絶縁膜628とがエッチングバリアとして、図6に示す蓄積電極コンタクトマスク112aと、第3のエッチング防止膜630及び第2のエッチング防止膜626を用いたエッチング工程を通じてエッチングされ、次に、キャパシタと連結されるソース領域610上の第1のコンタクトブラグ618aを露出させる蓄積電極コンタクトが形成されるように、第1のコンタクトブラグ618a上に形成された第2のエッチング防止膜部分がエッチングされる。その際、第3のエッチング防止膜630も一部エッチングされる。蓄積電極用導電膜636が前記基板結果物上に均一な厚さで形成される。その際、前記蓄積電極コンタクトの底面部分は前記蓄積電極用導電膜により埋め込まれ、これによって、ソース領域上の第1のコンタクトブラグ618aと電氣的に連結される第3のコンタクトブラグ636bが形成される。第2の犠牲酸化膜638が蓄積電極コンタクトを完全に埋め込ませるように前記蓄積電極用導電膜636上に平坦に形成される。

【0037】図19を参照すると、第2の犠牲酸化膜が第1の犠牲酸化膜634上の蓄積電極用導電膜部分が露出されるようにエッチバック工程を通じてエッチングされ、その後、露出された蓄積電極用導電膜部分がエッチングされる。第2及び第1の犠牲酸化膜638、634がエッチングバリアとして第3のエッチング防止膜630を用いたエッチング工程を通じて除去され、これによって、シリンダー状の蓄積電極636aが形成される。前記ステップまでの結果物上に誘電体膜640が均一な厚さで形成され、その後、前記誘電体膜640上にプレート電極642が形成され、その結果、シリンダー構造のキャパシタ650を有する半導体メモリ素子のメモリセルが完成される。

【0038】本発明の実施の形態2にかかる半導体メモリ素子の製造方法は、実施の形態1でのように、蓄積電

極コンタクトがゲート電極及びビットラインは勿論、ソース領域上のコンタクトプラグとも自己一整列的に形成される。従って、実施の形態1と実質的に同じ効果が得られる。

【0039】一方、本発明にかかる実施の形態2において、前記キャパシタはシリンダー状でない、スタック形でも形成可能である。前記スタック形キャパシタの製造方法は、図16参照して、当業者であれば容易に類推することができると思量される。従って、ここでは、スタック形キャパシタの製造方法に対する図面及び説明は省略する。

【0040】

【発明の効果】前述のように、本発明によると、蓄積電極コンタクトがゲート電極及びビットラインは勿論、ソース領域上に形成されたコンタクトプラグとも自己一整列的に形成される。従って、マスク工程時の誤整列に起因する工程不良の発生が防止され、製造収率が向上される。また、単位セル面積内での蓄積電極の占有面積を最大限増加させることができるので、キャパシタのキャパシタンスが向上させることができ、高容量メモリ素子が具現することができる。

【0041】一方、ここでは、本発明の特定実施の形態について説明し、図示したが、当業者により、これに対する修正及び変形が可能である。従って、特許請求の範囲は、本発明の思想及び範囲に属する限り、全ての修正及び変形を含むことと理解することができる。

【図面の簡単な説明】

【図1】従来の半導体メモリ素子のメモリセルの製造に使用される主なマスク等の平面図

【図2】従来技術にかかる半導体メモリ素子の製造方法を説明するための、図1のa-a'線及びb-b'線に沿う断面図

【図3】従来技術にかかる半導体メモリ素子の製造方法を説明するための、図1のa-a'線及びb-b'線に沿う断面図

【図4】従来技術にかかる半導体メモリ素子の製造方法を説明するための、図1のa-a'線及びb-b'線に沿う断面図

【図5】従来技術にかかる半導体メモリ素子の製造方法を説明するための、図1のa-a'線及びb-b'線に沿う断面図

【図6】本発明にかかる半導体メモリ素子のメモリセルの製造に使用される主要マスク等の平面図

【図7】本発明の第1の実施の形態にかかる半導体メモリ素子の製造方法を説明するための、図6のa-a'線及びb-b'線に沿う断面図

【図8】本発明の第1の実施の形態にかかる半導体メモリ素子の製造方法を説明するための、図6のa-a'線及びb-b'線に沿う断面図

【図9】本発明の第1の実施の形態にかかる半導体メモ

リ素子の製造方法を説明するための、図6のa-a'線及びb-b'線に沿う断面図

【図10】本発明の第1の実施の形態にかかる半導体メモリ素子の製造方法を説明するための、図6のa-a'線及びb-b'線に沿う断面図

【図11】本発明の第1の実施の形態にかかる半導体メモリ素子の製造方法を説明するための、図6のa-a'線及びb-b'線に沿う断面図

【図12】本発明の第1の実施の形態にかかる半導体メモリ素子の製造方法を説明するための、図6のa-a'線及びb-b'線に沿う断面図

【図13】本発明の第1の実施の形態にかかる半導体メモリ素子の製造方法を説明するための、図6のa-a'線及びb-b'線に沿う断面図

【図14】本発明の第1の実施の形態にかかる半導体メモリ素子の製造方法における別実施の形態の部分の説明するための断面図

【図15】本発明の第1の実施の形態にかかる半導体メモリ素子の製造方法における別実施の形態の部分の説明するための断面図

【図16】本発明の第1の実施の形態にかかる半導体メモリ素子の製造方法における別実施の形態の部分の説明するための断面図

【図17】本発明の実施の形態2にかかる半導体メモリ素子の製造方法を説明するための図6のa-a'線及びb-b'線に沿う断面図

【図18】本発明の実施の形態2にかかる半導体メモリ素子の製造方法を説明するための図6のa-a'線及びb-b'線に沿う断面図

【図19】本発明の実施の形態2にかかる半導体メモリ素子の製造方法を説明するための図6のa-a'線及びb-b'線に沿う断面図

【符号の説明】

400, 600	半導体基板
402, 602	素子分離膜
404, 604	ゲート絶縁膜
406, 606	ゲート電極
408, 608	第1のハードマスク
410, 610	ソース領域
412, 612	ドレーン領域
414, 614	第1のエッチング防止膜
416, 616	第1の層間絶縁膜
418a, 618a	第1のコンタクトプラグ
418b, 618b	第2のコンタクトプラグ
420, 620	第2の層間絶縁膜
422	ビットライン用導電膜
422a, 422b	ビットライン
424, 624	第2のハードマスク膜
426, 626	第2のエッチング防止膜
428, 628	第3の層間絶縁膜

(9)

特開2001-210805

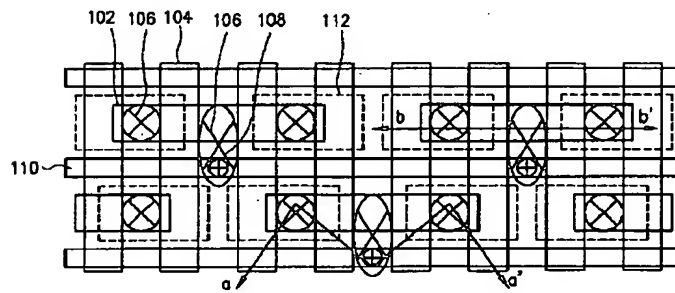
15
 430, 630 第3のエッチング防止膜
 432, 636b 第3のコンタクトプラグ
 434, 634 第1の犠牲酸化膜
 436, 636 蓄積電極用導電膜
 436a, 636a 蓄積電極

* 438, 638
 440, 640
 442, 642
 450, 650

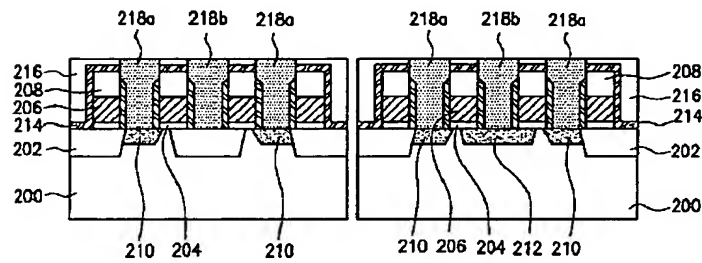
*

16
 第2の犠牲酸化膜
 誘電体膜
 プレート電極
 キャパシタ

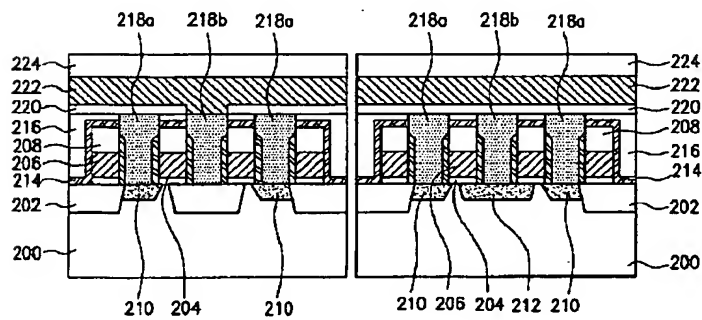
【図1】



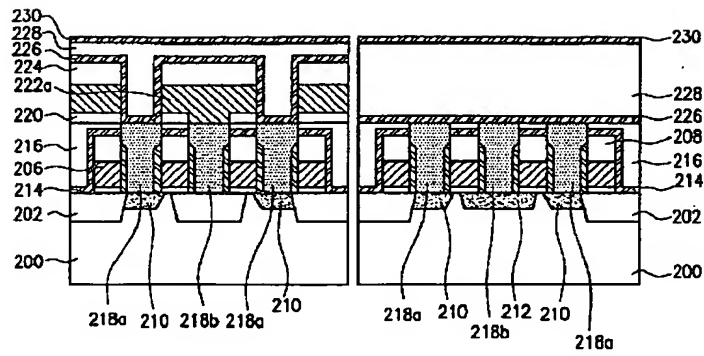
【図2】



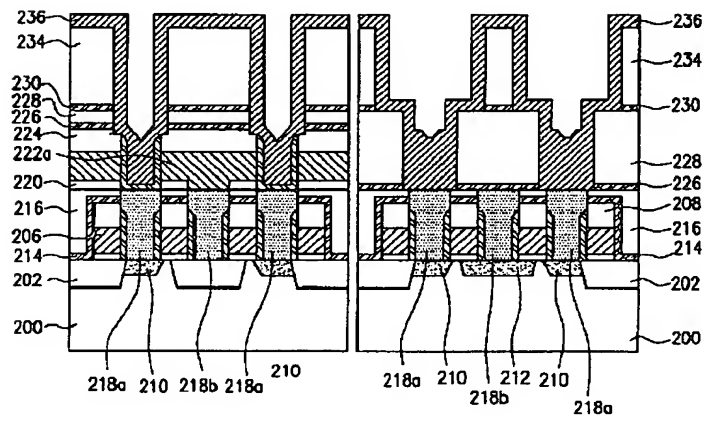
【図3】



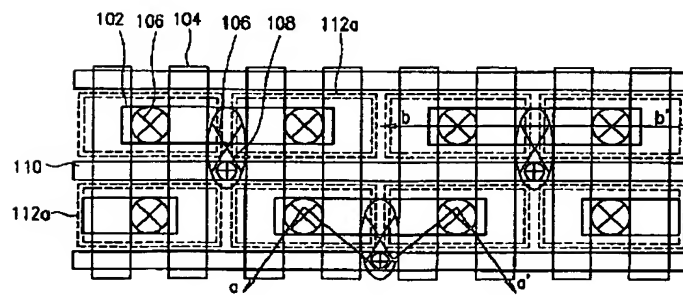
【図4】



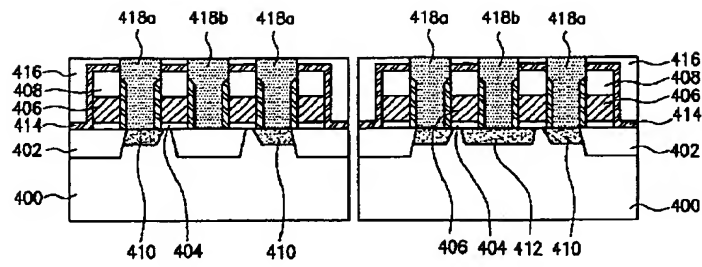
【図5】



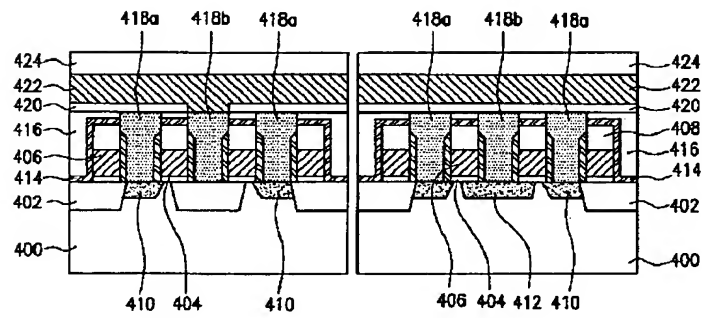
【図6】



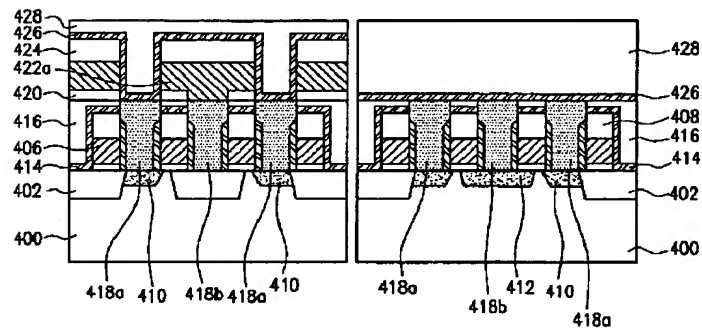
【図7】



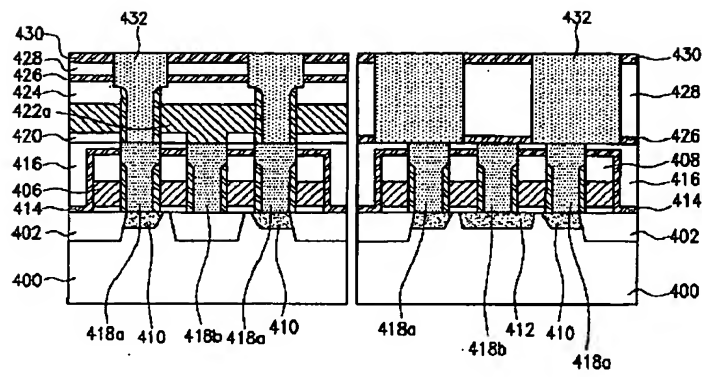
【図8】



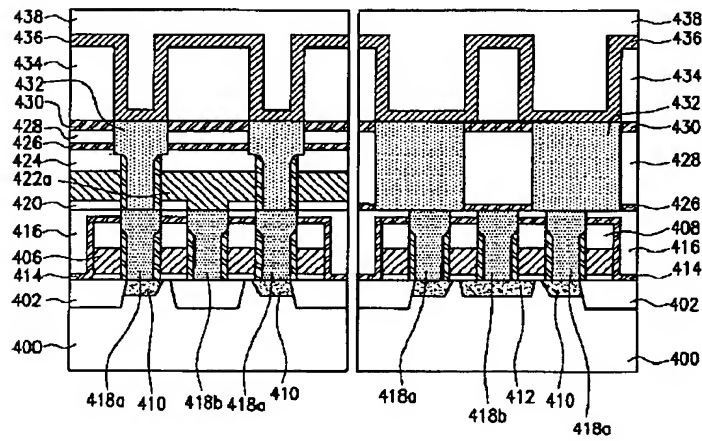
【図9】



【図10】



【図11】



【図12】

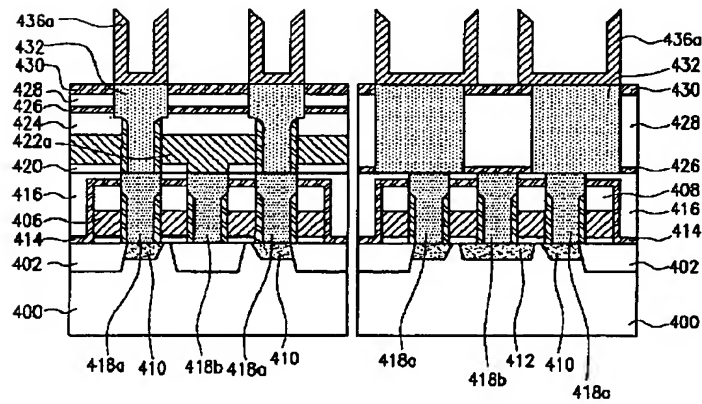
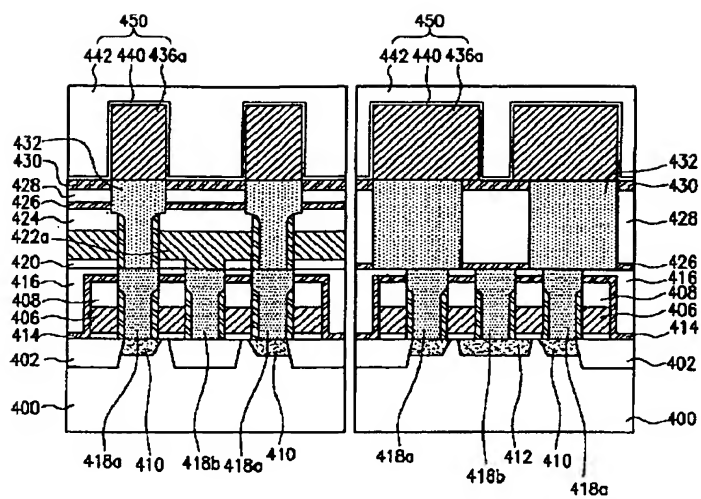
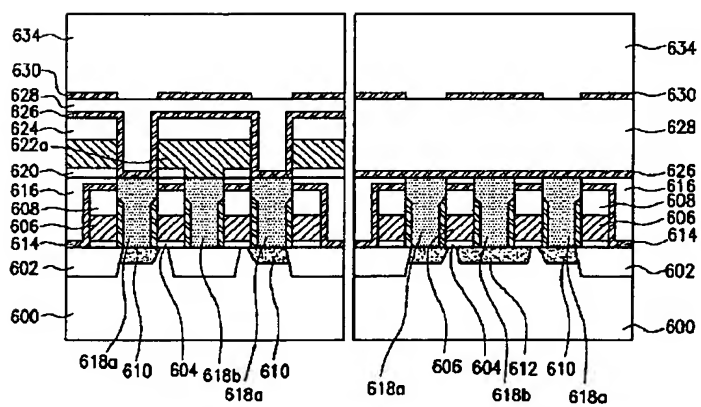


FIG. 1 shows two cross-sectional views of a semiconductor device. The left view shows a device with a substrate 400, a base layer 402, and a patterned layer 414. A central region 410 is surrounded by a ring 416. The right view shows a similar device with a different internal structure, including a central region 410 and a ring 416. Various layers and features are labeled with reference numerals.

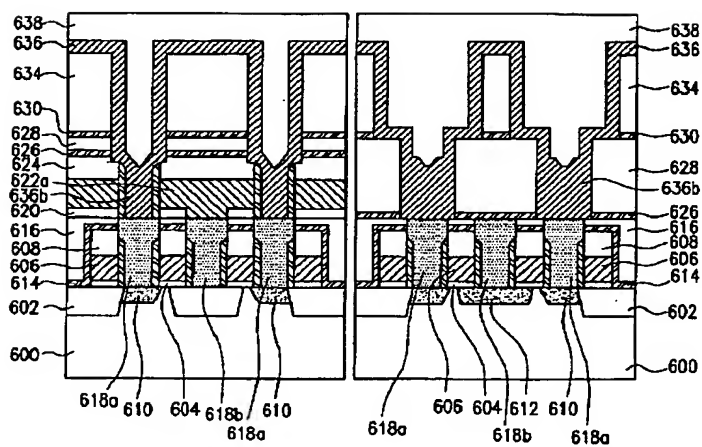
【図16】



【図17】



【図18】



【図19】

